

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61252666
PUBLICATION DATE : 10-11-86

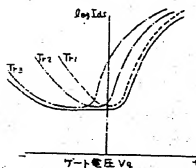
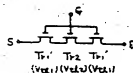
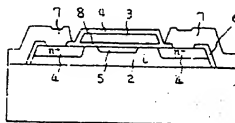
APPLICATION DATE : 02-05-85
APPLICATION NUMBER : 60093679

APPLICANT : HITACHI LTD;

INVENTOR : HOSOKAWA YOSHIKAZU;

INT.CL. : H01L 29/78 G02F 1/133 H01L 27/12

TITLE : THIN FILM TRANSISTOR ELEMENT



ABSTRACT : **PURPOSE:** To obtain a TFT element structure, which controls and suppresses a current when a gate voltage is applied in the reverse direction, by providing an impurity diffused region in a channel part, changing the threshold voltages in the region, and arranging a plurality of thin film transistor (TFT) elements, whose threshold voltages are different in equivalent values, in series.

CONSTITUTION: On an insulating substrate 1, a polycrystalline silicon thin film 2, a gate insulating film 8, a polycrystalline silicon gate 3 and source and drain electrodes 7 are formed. In the polycrystalline silicon thin film 2, source and drain contact regions 4 and an impurity doped part 5 are formed. At this time, the equivalent circuit of a TFT is a series circuit of two kinds of the TFT elements having different threshold voltages V_{th} . This is because the threshold voltage V_{th} of the impurity diffused part 5 is changed with respect to the other channel part, in which impurities are not diffused. As a result, even if the gate voltage V_g (a) is made negative, a current caused by holes can be suppressed. The increase in current, when a gate voltage is applied in the reverse direction, can be controlled by the concentration and shape of the impurity diffused part formed in the channel part.

COPYRIGHT: (C) 1986, JPO & Japio

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

④ 公開特許公報(A) 昭61-252666

⑦ Int. Cl. ⁴	識別記号	庁内整理番号	⑧ 公開 昭和61年(1986)11月10日
H 01 L 29/78		8422-5F	
G 02 F 1/133	1 1 8	8205-2H	
H 01 L 27/12		7514-5F	審査請求 未請求 発明の数 1 (全3頁)

⑨ 発明の名称 薄膜トランジスタ素子

⑩ 特 願 昭60-93679

⑪ 出 願 昭60(1985)5月2日

⑫ 発 明 者	大 和 淳 一	日田市久慈町4026番地 株式会社日立製作所日立研究所内
⑬ 発 明 者	丸 山 英 一	日田市久慈町4026番地 株式会社日立製作所日立研究所内
⑭ 発 明 者	細 川 義 和	日田市久慈町4026番地 株式会社日立製作所日立研究所内
⑮ 出 願 人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
⑯ 代 理 人	弁理士 小川 勝 男	外 2 名

明 細 書

発明の名称 薄膜トランジスタ素子

特許請求の範囲

1. 絶縁性基板上に半導体層膜を用いて形成した薄膜トランジスタ素子において、

チャンネル部内に不純物拡散領域を設け、この不純物拡散領域のしきい電圧を変化させ、等価的に複数の前記しきい電圧の異なる前記薄膜トランジスタ素子が直列になるようにしたことを特徴とする薄膜トランジスタ素子。

2. 特許請求の範囲第1項において、

前記薄膜トランジスタをnチャンネル型とし、前記不純物拡散領域の不純物をn型の不純物とすることを特徴とする薄膜トランジスタ素子。

3. 特許請求の範囲第1項において、

前記薄膜トランジスタをpチャンネル型とし、前記不純物拡散領域の不純物をp型の不純物とすることを特徴とする薄膜トランジスタ素子。

4. 特許請求の範囲第1項において、

前記半導体層膜を多結晶シリコンまたは非晶質

シリコンとしたことを特徴とする薄膜トランジスタ素子。

発明の詳細な説明

【発明の利用分野】

本発明は薄膜トランジスタに係り、特に、液晶を用いたアクティブマトリクスディスプレイに好適な薄膜トランジスタ（以下TFTと略す）の素子構造に関する。

【発明の背景】

ガラス等の透明な絶縁性基板上にTFT素子を形成し、液晶等の電気光学効果をもつ物質と組み合わせて表示を行う。いわゆる、アクティブマトリクスディスプレイは、液晶ディスプレイの大型化、高解像化に適した方式である。現在アクティブマトリクスディスプレイに用いるTFT素子の半導体層膜として、各種の半導体材料が研究されているが、この中で多結晶シリコン（以下poly-Siと略す）を用いたTFT素子は、非晶質シリコンを用いたTFT（以下a-Si/TFTと略す）とともに、アクティブマトリクスディスプレイに

運した素子特性、製作工程等を持っている。このうち特にpoly-Si/TFTは比較的大きな電界効果移動度をもつことが、松井らの報告“ポリクリスタリン シリコン レン・フィルム トランジスタ” オン グラス” アブライド フিজック ス レター 37 (10) 1ペンバ 1980

(“Poly crystalline - silicon thin-film transistors on glass” Applied Physics Letter 37 (10) Nov. 1980)に述べられている。この特長をもつため、poly-Si/TFTは、表示画素数が多い、高解像アクティブマトリクスディスプレイに運したデバイスであるといえる。

しかし、poly-Si/TFT、a-Si/TFTでは平坦膜調の結晶状態が、多結晶、あるいは、非晶状態であるため、この中にp-n接合を形成しようとしても、多結晶シリコン中のp-n接合のような良好な整流特性を実現することが不可能である。すなわち、従来、多結晶シリコンに用いられていた素子構造を用いて、TFTを製作する場合には、p-n接合の特性の違いによる、poly-Si/

TFT、a-Si/TFT特有の現象があらわれてくる。この現象の一つが、たとえば、nチャンネル構造のTFTにおいて、ゲート電圧を食に印加してゆくと、チャンネル部に誘起された正孔（ホール）による電流が流れる現象がある。このため、TFT素子のスイッチ特性のうち、オフ抵抗が低下し、極品等を駆動する場合に表示特性が劣化する原因となる。

この現象を回避するため、特開昭55-171860号公報に記載されたように、ゲート電極を複数層設け、TFT素子を等価的に直列にする構造が提案されているが、本質的に整流特性の悪いp-n接合を用いた場合には効果小さい。

〔発明の目的〕

本発明の目的は、ゲート電圧を逆方向に印加した場合の電流を抑制し制御するTFT素子構造を提供することにある。

〔発明の実施例〕

以下、本発明の一実施例を第1図により説明する。本実施例は、ガラス、石英等の絶縁性基板1

上に、多結晶シリコン膜2、ゲート絶縁膜8、多結晶シリコンゲート3、ソース、ドレイン電極7から構成され、多結晶シリコン膜2中に、ソース、ドレインコンタクト領域4、及び不純物ドーピング部5を形成したものである。本発明に特徴的な点は、不純物ドーピング部5を形成したことである。なお、図中6は絶縁膜、9は絶縁部。

第2図は本実施例の特性を示したものである。図面はゲート印加電圧に対し、ドレイン・ソース電流特性を示している。図中被線で示した特性(a)は従来構造のTFT素子であり、第1図の不純物ドーピング部5が存在しない場合の特性で、ゲード電圧が0V付近ではチャンネル部のキャリアが少なくなりドレイン・ソース電流 I_{ds} が小さくなる。ゲート電圧 V_g を正の方向に増加するに従い、チャンネル部のゲート絶縁膜界面に電子が誘起され、 I_{ds} が急激に増加する。また、 V_g を食の方向に印加するとチャンネル部に正孔が誘起される。このとき、ドレイン・ソースのn⁺コンタクト部との間に良好な接合が形成されていれば、

この正孔の電流は接合に阻止されてドレイン・ソース間には電流が流れない。しかし、接合が不完全な場合には、接合部において、大きなキャリアの再結合電流が流れ、これが V_g を食にした場合の1dの増加となってあらわれる。

一方、本発明の場合には、第2図中に実線で示したように V_g を食に印加したときの正孔の電流を抑えることができる。この原理は第3図の(b)に示したように、本発明のTFTの等価回路はしきい値電圧 V_{th} の異なる二種類のTFT素子の直列回路となる。これは、第1図の不純物拡散部5が、不純物を拡散しない他のチャンネル部に対し、しきい値電圧 V_{th} が変化するためである。たとえば、不純物としてリン等のn型のドーパントを拡散部5に対し微量ドーピングすれば、しきい値電圧 V_{th} が食の方向に変化する。このように V_{th} をチャンネル部のうち部分的に変化せしめることにより、第4図に示すように V_{th} の異なる複数個のTFTの直列回路の特性を実現することができ、この結果、ゲード電圧を食にした場合にも、正孔

特開昭61-252666(3)

により生じる電流を抑えることができる。

不純物拡散部5は任意の形状、任意の不純物の濃度分布で良く、その形成方法も、イオン打込み、熱拡散、あるいは、半導体薄膜形成時に半導体薄膜中に不純物をドーピングする方法など、多くの方法が考えられる。

また、本実施例ではnチャンネルのTFTについて述べたが、本発明がpチャンネルのTFTに適用できることはもちろんである。

〔発明の効果〕

本発明によれば、チャンネル部に形成する不純物拡散部の濃度、形状により、ゲート印加電圧を逆方向に印加した場合の電流の増加をコントロールすることができ、アクティブマトリクスディスプレイに用いるTFTの特性を大幅に改良することができる。

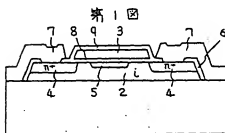
図面の簡単な説明

第1図は本発明の一実施例の素子の断面図、第2図ないし第4図は本発明の特性図である。

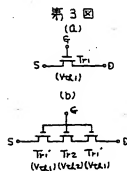
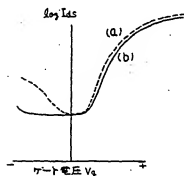
1…絶縁性基板、2…半導体薄膜、3…ゲート電

極、4…ソース、ドレイン拡散領域、5…不純物拡散領域、7…ソース、ドレイン電極、8…ゲート絶縁膜、9…絶縁膜。

代理人 井理士 小川勝男



第2図



第4図

